



(19)

(11) Publication number: **2002033453 A**

Generated Document

PATENT ABSTRACTS OF JAPAN

(21) Application number: 2000215061

(51) Int. Cl.: H01L 27/04 H01L 21/822 H01G 4/33 H01G 4/12 H01G 4/30 H01G 13/00 H01L 21/60

(22) Application date: 14.07.00

(30) Priority:

(43) Date of application
publication: 31.01.02(84) Designated
contracting states:

(71) Applicant: NEC CORP

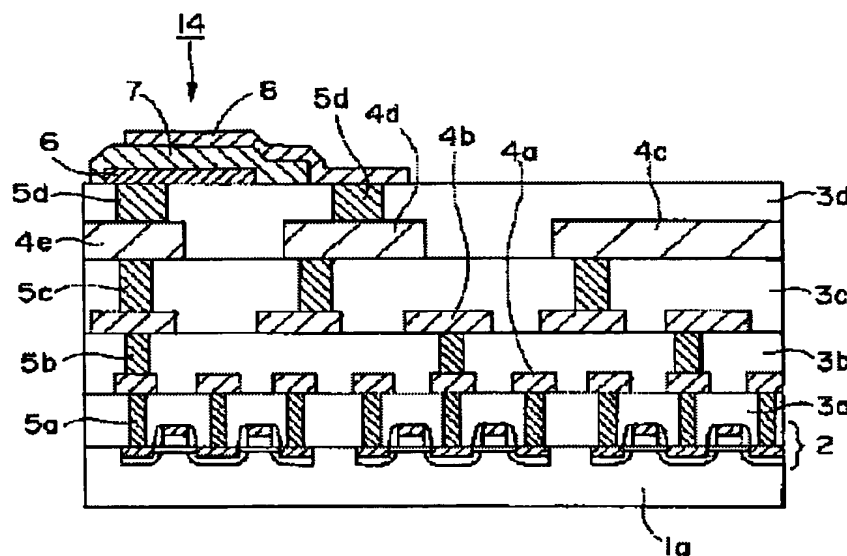
(72) Inventor: YAMAMICHI SHINTARO
MORI TORU
SHIBUYA AKINOBU
YAMAZAKI TAKAO
SHIMADA YUZO

(74) Representative:

**(54) SEMICONDUCTOR
DEVICE, ITS MANUFACTURING
METHOD AND THIN FILM
CAPACITOR****(57) Abstract:**

PROBLEM TO BE SOLVED: To provide a thin film capacitor having a lower self-inductance than the conventional laminate capacitor to realize an operation at a high frequency, and provide a semiconductor device allowing the mounting area to be reduced to contribute to miniaturization and light-weighting of an electronic apparatus.

SOLUTION: The semiconductor device comprises a device 2 formed on an silicon substrate 1a, layer insulation films 3a, 3b, 3c, 3d, wirings including a power line 4d and a ground line 4e, and a thin film capacitor 14 formed on the topmost insulation film 3d. The capacitor 14 has a lower electrode 6 connected to the ground line 4e through a contact 5d, an upper electrode 8 which is connected to the power line 4d through a contact 5d and partly extends over the lower electrode 6, and a dielectric 7 sandwiched between the lower and upper electrodes 6, 8.



COPYRIGHT: (C)2002,JPO

書誌

(19)【発行国】日本国特許庁(JP)
 (12)【公報種別】公開特許公報(A)
 (11)【公開番号】特開2002-33453(P2002-33453A)
 (43)【公開日】平成14年1月31日(2002. 1. 31)
 (54)【発明の名称】半導体装置およびその製造方法ならびに薄膜コンデンサ
 (51)【国際特許分類第7版】

H01L 27/04
 21/822
 H01G 4/33
 4/12 352
 358
 4/30 301

 13/00 321
 H01L 21/60 311

【FI】

H01G 4/12 352
 358
 4/30 301 A
 301 B
 301 C
 301 E
 13/00 321 E
 H01L 21/60 311 S
 27/04 C
 H01G 4/06 102

【審査請求】未請求

【請求項の数】13

【出願形態】OL

【全頁数】13

(21)【出願番号】特願2000-215061(P2000-215061)

(22)【出願日】平成12年7月14日(2000. 7. 14)

(71)【出願人】

【識別番号】000004237

【氏名又は名称】日本電気株式会社

【住所又は居所】東京都港区芝五丁目7番1号

(72)【発明者】

【氏名】山道 新太郎

【住所又は居所】東京都港区芝五丁目7番1号 日本電気株式会社内

(72)【発明者】

【氏名】森 透

【住所又は居所】東京都港区芝五丁目7番1号 日本電気株式会社内

(72)【発明者】

【氏名】渋谷 明信

【住所又は居所】東京都港区芝五丁目7番1号 日本電気株式会社内

(72)【発明者】

【氏名】山崎 隆雄

【住所又は居所】東京都港区芝五丁目7番1号 日本電気株式会社内

(72)【発明者】

【氏名】嶋田 勇三

【住所又は居所】東京都港区芝五丁目7番1号 日本電気株式会社内

(74)【代理人】

【識別番号】100108578

【弁理士】

【氏名又は名称】高橋 詔男（外3名）

【テーマコード(参考)】

5E001

5E082

5F038

5F044

【Fターム(参考)】

5E001 AB06 AC01 AC08 AE01 AE02 AE03 AG01 AH03 AJ01 AJ02 AJ03 AJ04

5E082 AA01 AB01 AB03 BB05 BC14 DD11 DD15 EE05 EE16 EE20 EE23 EE37 FF05 FG03 FG26 FG27 GG01 GG05 HI

5F038 AC05 AC09 AC14 AC15 AC19 AV06 EZ02 EZ20

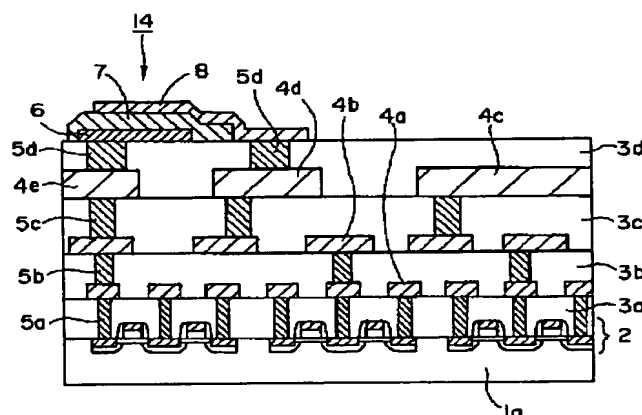
5F044 KK05 LL01 QQ00

要約

(57)【要約】

【課題】従来の積層コンデンサに比べて小さな自己インダクタンスを持つ薄膜コンデンサを提供し、これにより高周波での動作を実現するとともに、実装面積の低減が図れ、電子機器の小型軽量化に寄与し得る半導体装置を提供する。

【解決手段】本発明の半導体装置は、シリコン基板1a上に形成されたデバイス2と、層間絶縁膜3a、3b、3c、3dと、電源線4d、接地線4eを含む配線と、最上層絶縁膜3d上に形成された薄膜コンデンサ14とを有している。薄膜コンデンサ14は、コンタクト5dを介して接地線4eと接続された下部電極6と、コンタクト5dを介して電源線4dと接続され、一部が下部電極6の上方に延在する上部電極8と、下部電極6と上部電極8との間に挟持された誘電体7とから構成されている。



請求の範囲

【特許請求の範囲】

【請求項1】半導体基板上に形成された複数の素子と、これら素子を覆う層間絶縁膜と、該層間絶縁膜上に形成され、前記複数の素子と電気的に接続された電源線および接地線を含む複数の配線と、これら配線を覆う最上層絶縁膜と、該最上層絶縁膜上に形成された薄膜コンデンサとを有してなり、該薄膜コンデンサは、前記最上層絶縁膜を貫通するコンタクトを介して前記電源線または前記接地線のいずれか一方と電気的に接続された下部電極と、前記最上層絶縁膜を貫通するコンタクトを介して前記電源線と前記接地線のうち前記下部電極と接続されていない方のいずれかと電気的に接続され、少なくとも一部が前記下部電極の上方に延在する上部電極と、前記下部電極と前記上部電極との間に挟持された誘電体とからなる少なくとも1組の積層構造を有することを特徴とする半導体装置。

【請求項2】前記電源線または前記接地線のいずれか一方と前記下部電極とを電気的に接続するコンタクトの上方には、前記上部電極が配置されていないことを特徴とする請求項1に記載の半導体装置。

【請求項3】前記薄膜コンデンサが、前記下部電極と前記誘電体と前記上部電極とからなる1組

の積層構造を有することを特徴とする請求項1または2に記載の半導体装置。

【請求項4】前記誘電体の少なくとも一部が、化学式 ABO_3 で表され、それぞれAとしてBa、Sr、Pb、Ca、La、Li、Kのうち少なくとも1種以上、BとしてZr、Ti、Ta、Nb、Mg、Mn、Fe、Zn、Wのうち少なくとも1種以上を含むもの、あるいは、化学式 $(Bi_2O_2)(A_{m-1}B_mO_{3m+1})$ ($m=1, 2, 3, 4, 5$)で表され、それぞれAとしてBa、Sr、Pb、Ca、K、Biのうち少なくとも1種以上、BとしてNb、Ta、Ti、Wの少なくとも1種以上を含むもの、あるいは Ta_2O_5 から構成されていることを特徴とする請求項1ないし3のいずれかに記載の半導体装置。

【請求項5】前記薄膜コンデンサが樹脂により封止されていることを特徴とする請求項1ないし4のいずれかに記載の半導体装置。

【請求項6】第1の半導体基板上に下部電極、誘電体、上部電極からなる積層構造を少なくとも1組以上有し、前記下部電極および前記上部電極の少なくとも一部を表面に露出させた薄膜コンデンサを作製する工程と、第2の半導体基板上に複数の素子を形成する工程と、これら素子を覆う層間絶縁膜を形成する工程と、該層間絶縁膜上に前記複数の素子と電気的に接続された電源線および接地線を含む複数の配線を形成する工程と、これら配線を覆う最上層絶縁膜を形成する工程と、前記電源線および前記接地線にそれぞれ電気的に接続されるとともに前記最上層絶縁膜を貫通するコンタクトをそれぞれ形成する工程と、前記各コンタクトの形成領域にあたる前記最上層絶縁膜上にそれぞれ接続部を形成する工程と、前記第1の半導体基板の薄膜コンデンサ形成面と前記第2の半導体基板の素子形成面とを対向配置し、前記下部電極の露出部分と一部の前記コンタクト、前記上部電極の露出部分と残りの前記コンタクトをそれぞれ前記接続部を介して接続する工程と、前記薄膜コンデンサを前記第2の半導体基板側に残して前記第1の半導体基板の少なくとも一部を除去する工程とを有することを特徴とする半導体装置の製造方法。

【請求項7】前記第1の半導体基板上に薄膜コンデンサを作製する際に、予め前記第1の半導体基板中に水素イオンを注入しておき、前記薄膜コンデンサを前記第2の半導体基板側に残して前記第1の半導体基板の少なくとも一部を除去する際に、前記水素イオンが注入された領域で前記第1の半導体基板を分離することを特徴とする請求項6に記載の半導体装置の製造方法。

【請求項8】樹脂フィルム上に下部電極、誘電体、上部電極からなる積層構造を少なくとも1組以上有し、前記下部電極および前記上部電極の少なくとも一部を表面に露出させた薄膜コンデンサを作製する工程と、半導体基板上に複数の素子を形成する工程と、これら素子を覆う層間絶縁膜を形成する工程と、該層間絶縁膜上に前記複数の素子と電気的に接続された電源線および接地線を含む複数の配線を形成する工程と、これら配線を覆う最上層絶縁膜を形成する工程と、前記電源線および前記接地線にそれぞれ電気的に接続されるとともに前記最上層絶縁膜を貫通するコンタクトをそれぞれ形成する工程と、前記各コンタクトの形成領域にあたる前記最上層絶縁膜上にそれぞれ接続部を形成する工程と、前記樹脂フィルムの薄膜コンデンサ形成面と前記半導体基板の素子形成面とを対向配置し、前記下部電極の露出部分と一部の前記コンタクト、前記上部電極の露出部分と残りの前記コンタクトをそれぞれ前記接続部を介して接続する工程と、前記薄膜コンデンサを前記半導体基板側に残して、前記樹脂フィルムの少なくとも一部を除去する工程とを有することを特徴とする半導体装置の製造方法。

【請求項9】前記薄膜コンデンサと前記第2の半導体基板もしくは前記半導体基板とを接続した後、封止材により前記薄膜コンデンサを封止する工程を有することを特徴とする請求項6ないし8のいずれかに記載の半導体装置の製造方法。

【請求項10】前記薄膜コンデンサの前記上部電極の一部と前記下部電極の一部以外を感光性接着樹脂で封止した後、前記薄膜コンデンサを前記第2の半導体基板もしくは前記半導体基板と接続する工程を有することを特徴とする請求項6ないし8のいずれかに記載の半導体装置の製造方法。

【請求項11】半導体基板上に複数の素子を形成する工程と、これら素子を覆う層間絶縁膜を形成する工程と、該層間絶縁膜上に前記複数の素子と電気的に接続された電源線および接地線を含む複数の配線を形成する工程と、これら配線を覆う最上層絶縁膜を形成する工程と、前記電源線および前記接地線にそれぞれ電気的に接続され前記最上層絶縁膜を貫通するコンタクトを形成する工程とにより前記半導体基板上に汎用の信号処理部を形成した後、該信号処理部の所望の動作周波数に合わせて設計した薄膜コンデンサを前記最上層絶縁膜上に形成することを特徴とする半導体装置の製造方法。

【請求項12】複数の素子と、これら素子を覆う層間絶縁膜と、該層間絶縁膜上に形成され前記複数の素子と電気的に接続された電源線および接地線を含む複数の配線と、これら配線を覆う最上層絶縁膜とを有する半導体装置の前記最上層絶縁膜上に形成された薄膜コンデンサであって、前記最上層絶縁膜を貫通するコンタクトを介して前記電源線または前記接地線のいずれか一方と電気的に接続された下部電極と、前記最上層絶縁膜を貫通するコンタクトを介して前記電源

線と前記接地線のうち前記下部電極と接続されていない側と電氣的に接続され、少なくとも一部が前記下部電極の上方に延在する上部電極と、前記下部電極と前記上部電極との間に挟持された誘電体とからなる少なくとも1組の積層構造を有することを特徴とする薄膜コンデンサ。

【請求項13】樹脂により封止されていることを特徴とする請求項12に記載の薄膜コンデンサ。

詳細な説明

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造方法ならびに薄膜コンデンサに関し、特にデカップリングコンデンサとして機能する薄膜コンデンサを一体化した半導体装置の構成に関するものである。

【0002】

【従来の技術】半導体集積回路(以下、LSIと記す)に急激な負荷がかかると、電源とLSIの配線間に存在する寄生抵抗と寄生インダクタンスにより電圧降下が生じる。この電圧降下は寄生抵抗や寄生インダクタンスが大きく、負荷電流の変動時間が短いほど大きくなる。近年、LSIの動作周波数が数百MHzからGHzオーダーに至るようになり、クロックの立ち上がり時間が非常に短くなってきたため、電圧降下もますます大きくなり、LSIの誤動作を引き起こすようになってきた。このような電圧降下を小さくするためには、LSIの電源線と接地線との間に並列にコンデンサを配置することが有効である。このコンデンサのことを一般にデカップリングコンデンサと称する。負荷変動の際には、このデカップリングコンデンサの電極両端に蓄えた電荷を瞬時に放出することにより、一時的に降下した電源電圧を補償することができる。

【0003】ここで、デカップリングコンデンサの自己インダクタンスおよび内部抵抗を零であると仮定した理想的な状況を想定すると、電荷の放出も瞬時に可能となり、蓄積容量が十分大きい場合には電圧変動も完全に零にすることができる。ところが実際には、コンデンサに自己インダクタンスと内部抵抗が存在するため、ある周波数でLC共振が発生し、それ以上の周波数ではコンデンサとして有効に機能しなくなる。そのため、LSIの動作周波数が高くなるにしたがって、デカップリングコンデンサの自己インダクタンスを小さくし、かつ、LSIとコンデンサ間の距離をできるだけ短くする必要がある。

【0004】従来は、デカップリングコンデンサとして、高周波での自己インダクタンスが比較的小さい積層セラミクスコンデンサが用いられてきた。積層セラミクスコンデンサは、電解コンデンサと比較して等価直列抵抗と自己インダクタンスが小さいという特徴があり、容量Cとして0.01μFオーダーのもので自己インダクタンスが0.4nH程度のものである。そこで、高速で動作するLSIの周辺にこの種の積層セラミクスコンデンサを多数配置することにより、電源電圧の降下を抑制してきた。例えば図13はその一例であって、プリント基板11に実装したLSIチップ12の周辺に、デカップリングコンデンサとして機能する多数の積層セラミクスコンデンサ13が実装されている。

【0005】また、デカップリングコンデンサをLSIのできるだけ近くに配置した従来例として、特開平7-183470号公報や特開平7-183459号公報に開示されたものがある。これらの従来例では、デカップリングコンデンサを導電性接合剤を用いてLSIの上面に張り付けた構成が記載されている。

【0006】さらに、従来の半導体集積回路に関しては、製造元が予め動作周波数を保証したLSIを複数種類製造し、それぞれの品種に対して顧客との間で受発注を行うか、あるいは顧客の設計情報を盛り込んでLSIを製造するような方法が一般的であった。

【0007】

【発明が解決しようとする課題】デカップリングコンデンサとしての性能を考えた場合、前述のような積層セラミクスコンデンサでは共振周波数が約80MHz程度となり、数百MHzからGHzオーダーのLSIに対しては十分に電荷補償を行えない。さらに、図13に示すようなデカップリングコンデンサの配置方法では、プリント基板上での実装面積が大きくなり、電子機器の小型軽量化に対して不利である。

【0008】また、特開平7-183470号公報や特開平7-183459号公報に示されているような導電接合剤によってコンデンサを接合する方法では、その接合剤の抵抗率やコンデンサとの接触抵抗、さらには接合剤の形状に起因するインダクタンス成分の存在によって、やはり数百MHz以上の高周波動作に対応することができない。

【0009】デカップリングコンデンサの自己インダクタンスを小さくするためには、「日経エレクトロニクス」1999.4.19号、p.144～156に記載されているように、コンデンサを構成する誘電体の厚さを薄くすればよい。一般の積層セラミクスコンデンサでは誘電体部の厚さがμmのオーダーであるのに対し、LSI内部に用いられている薄膜コンデンサでは誘電体部の厚さがnmのオーダーであるた

めに小さな自己インダクタンスが得られ、GHzオーダーでの動作が可能となる。

【0010】特に、室温で300近い誘電率を有する SrTiO_3 やより大きな誘電率を有する $(\text{Ba}, \text{Sr})\text{TiO}_3$ に代表される高誘電率の誘電体膜を用いることにより、単位面積あたりの蓄積容量を SiO_2 や Si_3N_4 を用いた場合の数十倍に高めることができる。これは SiO_2 や Si_3N_4 の誘電率がそれぞれ3.9や7程度であるのに対し、 SrTiO_3 や $(\text{Ba}, \text{Sr})\text{TiO}_3$ の誘電率がそれぞれ300や500以上であるためである。

【0011】なお、スパッタ法による SrTiO_3 薄膜を誘電体に用いて、窒化アルミニウム上にデカップリングコンデンサを形成した例が特開平8-97360号公報に開示されている。しかしながら、この例ではマルチチップモジュールを形成する実装基板上にデカップリングコンデンサを作製しており、 SrTiO_3 薄膜の成膜温度に制限が生じている。一般に、この種の誘電体は高温で成膜することによって大きな誘電率が得られることが知られている。したがって、 SrTiO_3 薄膜が大きな誘電率を得られる特性を持っていながら、その特性を十分に生かすことができない。

【0012】さらに、半導体集積回路の受発注に関しては、あらかじめ複数の動作周波数のLSIを製造しておくような場合、品種によって需要と供給のバランスが崩れ、顧客が希望価格より高価で購入したり、製造メーカーの利益が極端に少なくなってしまうような状況が起こりやすい。また、顧客と製造メーカーがLSIの設計までを共有する場合、LSIの製造の途中で顧客側の動作周波数や希望価格に変更が生じた場合、LSIの設計・製作を初めからやり直さなければならない場合があり、コスト上昇や納期の延期などの弊害が生じている。

【0013】本発明は、上記の課題を解決するためになされたものであって、デカップリングコンデンサとして従来用いられていた積層セラミックスコンデンサに比べて小さな自己インダクタンスを持つ薄膜コンデンサを提供することを目的とする。また、この薄膜コンデンサの使用によって高い周波数でのLSI動作を実現するとともに、実装面積の低減が図れ、電子機器の小型軽量化に寄与し得る半導体装置を提供することを目的とする。さらに、製造コストの低減や納期の短縮が図れる半導体装置の製造方法を提供することを目的とする。

【0014】

【課題を解決するための手段】上記の目的を達成するために、本発明の半導体装置は、半導体基板上に形成された複数の素子と、これら素子を覆う層間絶縁膜と、層間絶縁膜上に形成され、複数の素子と電気的に接続された電源線および接地線を含む複数の配線と、これら配線を覆う最上層絶縁膜と、最上層絶縁膜上に形成された薄膜コンデンサとを有してなり、薄膜コンデンサは、最上層絶縁膜を貫通するコンタクトを介して電源線または接地線のいずれか一方と電気的に接続された下部電極と、最上層絶縁膜を貫通するコンタクトを介して電源線と接地線のうち下部電極と接続されていない方のいずれかと電気的に接続され、少なくとも一部が下部電極の上方に延在する上部電極と、下部電極と上部電極との間に挟持された誘電体とからなる少なくとも1組の積層構造を有することを特徴とする。

【0015】本発明の半導体装置においては、半導体装置の本体となる集積回路部の電源線および接地線と薄膜コンデンサの各電極とが最上層絶縁膜を貫通するコンタクトを介して電気的に接続されている。したがって、電源線と薄膜コンデンサの一方の電極との距離、もしくは接地線と薄膜コンデンサの他方の電極との距離が最上層絶縁膜の膜厚分のみとなる。したがって、従来の積層セラミックコンデンサをプリント基板上のLSIの周囲に実装した場合と比べると、上記の電源線や接地線と電極間の距離がはるかに小さくなる。その結果、誘電体厚を薄くできることと相俟って、寄生インダクタンスと内部抵抗を大幅に低減したデカップリングコンデンサを実現することができる。しかも、デカップリングコンデンサとして機能する薄膜コンデンサを信号処理部の上方に積層し、一体化しているので、プリント基板上にデカップリングコンデンサのための実装スペースが不要になり、電子機器の小型軽量化に寄与することができる。

【0016】本発明の半導体装置において、電源線または接地線のいずれか一方と下部電極とを電気的に接続するコンタクトの上方には、上部電極が配置されていないことが望ましい。

【0017】この構成によれば、製造上の理由からコンタクトの上面が平坦にならず、それを反映して下部電極の表面に凹凸ができ、さらにそれに起因してその上の誘電体の膜厚が局所的に薄くなる箇所ができたとしても、この部分に上部電極が配置されていなければコンデンサの機能上は影響がなく、誘電体膜厚の低下に伴うリーク電流の増加や絶縁破壊を抑制することができる。

【0018】また、薄膜コンデンサが、下部電極と誘電体と上部電極とからなる1組のみの積層構造を有することが望ましい。

【0019】本発明における薄膜コンデンサは、下部電極と誘電体と上部電極とからなる積層構造を複数組有するものであってもよいが、その分だけ自己インダクタンスが大きくなって好ましくない。その点、上記積層構造が1組であれば、自己インダクタンスを小さくでき、高周波の電源変動にも

対応することが可能となる。

【0020】薄膜コンデンサの誘電体の少なくとも一部を構成する材料としては、化学式 ABO_3 で表され、それぞれAとしてBa、Sr、Pb、Ca、La、Li、Kのうち少なくとも1種以上、BとしてZr、Ti、Ta、Nb、Mg、Mn、F、Zn、Wのうち少なくとも1種以上を含むもの、あるいは、化学式 $(Bi_2O_2)(A_{m-1}B_mO_{3m+1})$ ($m=1, 2, 3, 4, 5$)で表され、それぞれAとしてBa、Sr、Pb、Ca、K、Biのうち少なくとも1種以上、BとしてNb、Ta、Ti、Wの少なくとも1種以上を含むもの、あるいは Ta_2O_5 を用いることができる。

【0021】これらの誘電体材料を用いた場合、従来一般の誘電体材料である SiO_2 や Si_3N_4 に比べて誘電率がはるかに高いため、蓄積容量密度を高めることができ、薄膜コンデンサの寸法縮小を図ることができる。

【0022】本発明の半導体装置の製造方法は、第1の半導体基板上に下部電極、誘電体、上部電極からなる積層構造を少なくとも1組以上有し、下部電極および上部電極の少なくとも一部を表面に露出させた薄膜コンデンサを作製する工程と、第2の半導体基板上に複数の素子を形成する工程と、これら素子を覆う層間絶縁膜を形成する工程と、層間絶縁膜上に複数の素子と電気的に接続された電源線および接地線を含む複数の配線を形成する工程と、これら配線を覆う最上層絶縁膜を形成する工程と、電源線および接地線にそれぞれ電気的に接続されるとともに最上層絶縁膜を貫通するコンタクトをそれぞれ形成する工程と、各コンタクトの形成領域にあたる最上層絶縁膜上にそれぞれ接続部を形成する工程と、第1の半導体基板の薄膜コンデンサ形成面と第2の半導体基板の素子形成面とを対向配置し、下部電極の露出部分と一部のコンタクト、上部電極の露出部分と残りのコンタクトをそれぞれ接続部を介して接続する工程と、薄膜コンデンサを第2の半導体基板側に残して、第1の半導体基板の少なくとも一部を除去する工程とを有することを特徴とする。

【0023】本発明の半導体装置の製造方法であれば、薄膜コンデンサのみを形成する第1の半導体基板と集積回路部を形成する第2の半導体基板を別個に作製するので、信号処理部の配線層の耐熱性等を考慮することなく、薄膜コンデンサの誘電体を高温で成膜することができ、高い誘電率を得ることができる。その結果、蓄積容量密度を高めることができ、薄膜コンデンサの寸法縮小を図ることができる。

【0024】なお、最後に第1の半導体基板の少なくとも一部を除去する方法としては、例えば第1の半導体基板上に薄膜コンデンサを作製する際に、予め第1の半導体基板中に水素イオンを注入しておき、薄膜コンデンサを接続した後で熱処理を行うか、もしくは水素イオン注入領域にジェット水流を噴射することにより物理的に分離する方法を採ることができる。その他、研磨等を用いて除去してもよい。

【0025】本発明の他の半導体装置の製造方法は、樹脂フィルム上に下部電極、誘電体、上部電極からなる積層構造を少なくとも1組以上有し、下部電極および上部電極の少なくとも一部を表面に露出させた薄膜コンデンサを作製する工程と、半導体基板上に複数の素子を形成する工程と、これら素子を覆う層間絶縁膜を形成する工程と、層間絶縁膜上に複数の素子と電気的に接続された電源線および接地線を含む複数の配線を形成する工程と、これら配線を覆う最上層絶縁膜を形成する工程と、電源線および接地線にそれぞれ電気的に接続されるとともに最上層絶縁膜を貫通するコンタクトをそれぞれ形成する工程と、各コンタクトの形成領域にあたる最上層絶縁膜上にそれぞれ接続部を形成する工程と、樹脂フィルムの薄膜コンデンサ形成面と半導体基板の素子形成面とを対向配置し、下部電極の露出部分と一部のコンタクト、上部電極の露出部分と残りのコンタクトをそれぞれ接続部を介して接続する工程と、薄膜コンデンサを半導体基板側に残して樹脂フィルムの少なくとも一部を除去する工程とを有することを特徴とする。

【0026】本発明の他の半導体装置の製造方法も上記と同様、薄膜コンデンサのみを形成する樹脂フィルムと集積回路部を形成する半導体基板を別個に作製するので、薄膜コンデンサの誘電体を高温で成膜でき、高い誘電率が得られ、蓄積容量密度を高めることができる。誘電体の高温成膜を行う観点からして、樹脂フィルムは、例えば $SrTiO_3$ などの高誘電率材料が SiO_2 や Si_3N_4 を上回る高誘電率を実現できる温度に耐えうる程度の耐熱性を有することが望ましい。さらにこの構成の場合、集積回路部とは別の製造プロセスによって、安価な樹脂フィルム上にデカップリングコンデンサを大量に作製できるので、製造コストを大幅に削減することができる。

【0027】本発明のさらに他の半導体装置の製造方法は、半導体基板上に複数の素子を形成する工程と、これら素子を覆う層間絶縁膜を形成する工程と、層間絶縁膜上に複数の素子と電気的に接続された電源線および接地線を含む複数の配線を形成する工程と、これら配線を覆う最上層絶縁膜を形成する工程と、電源線および接地線にそれぞれ電気的に接続された最上層絶縁膜を貫通するコンタクトを形成する工程とにより半導体基板上に汎用の信号処理部を形成した後、信

号処理部の所望の動作周波数に合わせて設計した薄膜コンデンサを最上層絶縁膜上に形成することを特徴とする。

【0028】この製造方法によれば、半導体集積回路本体は汎用として予め作製しておけるので、高価な製造プロセスが必要な半導体装置の製造コストを削減できると同時に、顧客が希望する動作周波数に見合った半導体装置を短い納期で出荷することができる。

【0029】本発明の薄膜コンデンサは、複数の素子と、これら素子を覆う層間絶縁膜と、層間絶縁膜上に形成され複数の素子と電氣的に接続された電源線および接地線を含む複数の配線と、これら配線を覆う最上層絶縁膜とを有する半導体装置の最上層絶縁膜上に形成された薄膜コンデンサであって、最上層絶縁膜を貫通するコンタクトを介して電源線または接地線のいずれか一方と電氣的に接続された下部電極と、最上層絶縁膜を貫通するコンタクトを介して電源線と接地線のうち下部電極と接続されていない側と電氣的に接続され、少なくとも一部が下部電極の上方に延在する上部電極と、下部電極と上部電極との間に挟持された誘電体とからなる少なくとも1組の積層構造を有することを特徴とする。

【0030】本発明の薄膜コンデンサによれば、上述したように、集積回路部の電源線や接地線と電極間の距離が充分に小さくなるため、誘電体厚を薄くできることと相俟って、寄生インダクタンスと内部抵抗を大幅に低減したデカップリングコンデンサを実現することができる。

【0031】上記本発明の薄膜コンデンサは樹脂により封止して用いることが望ましい。これにより、薄膜コンデンサと半導体基板の接着強度が増し、薄膜コンデンサの絶縁破壊などの長期信頼性を向上させることができる。

【0032】その手順としては、薄膜コンデンサと第2の半導体基板もしくは半導体基板とを接続した後に封止材により薄膜コンデンサを封止してもよいし、薄膜コンデンサの上部電極の一部と下部電極の一部以外を感光性接着樹脂で封止した後、薄膜コンデンサを第2の半導体基板もしくは半導体基板と接続してもよい。

【0033】

【発明の実施の形態】
【第1の実施の形態】次に、本発明の第1の実施の形態について図1、図2を参照して詳細に説明する。図1は、本発明の第1の実施の形態の構成を説明するための信号処理部(集積回路部)及び薄膜コンデンサを含む半導体装置の断面図である。

【0034】図1に示すように、シリコン基板1a上にトランジスタや薄膜コンデンサなどの微細デバイス2が複数個作製されていて信号処理回路(集積回路部)を形成している。その上にSiO₂を主成分とする第1の層間絶縁膜3aが形成され、コンタクト5aによってデバイス2と第1層目配線4aが接続されている。さらに、その上に第2の層間絶縁膜3bが形成され、コンタクト5bによって第1層目配線4aと第2層目配線4bが接続されている。同様に、第3の層間絶縁膜3cを介してコンタクト5cにより第2層目配線4bと第3層目配線4cが接続されている。この実施の形態においては、3層の配線構造を採用しており、信号処理回路の最上配線層は4cである。ここで、各配線材料の一例を挙げると、第1層目配線4aにはWSi、第2層目配線4b、第3層目配線4cにはCu/TaN/TaまたはAl/TiN/Ti、コンタクト5a、5bにはW/TiN/Ti、コンタクト5c、5dにはCu/TaNなどが用いられる。

【0035】この上に第4の層間絶縁膜3d(最上層絶縁膜)が形成され、第4の層間絶縁膜3d上に、デカップリングコンデンサとして機能する薄膜コンデンサ14が形成されている。そして、複数の最上配線層4cのうち、接地線4eと電源線4dのそれぞれがコンタクト5dによって薄膜コンデンサ14の下部電極6と上部電極8にそれぞれ接続されている。薄膜コンデンサ14の誘電体7としては例えばSrTiO₃が用いられ、下部電極6および上部電極8には例えばPt膜が用いられている。また、電源線4d上および接地線4e上の第4の層間絶縁膜3dの膜厚は元々の第4の層間絶縁膜3dの膜厚よりも薄くなっている。しかも、コンタクト5dの埋め込みが完全に平坦にならない場合、この部分で下部電極6や上部電極8が下に凸の形状を呈することもある。このような構造により、デカップリングコンデンサの両端の電極と、信号処理回路(LSI)の電源線や接地線との距離は第4の層間絶縁膜3dの厚さ以下にまで小さくすることができ、寄生インダクタンスと内部抵抗を従来例と比べて大幅に低減できる。また、デカップリングコンデンサがLSIと一体化しているため、実装する際にプリント基板上にデカップリングコンデンサ用の実装面積を必要としない。

【0036】図2は、従来の積層セラミクスコンデンサをLSI周辺のプリント基板に配置した場合と図1に示した本発明のLSIにおいて、電源電圧の変動の様子を比較した結果を示す。電源電圧は3.3V、LSIの動作周波数は500MHz、最大負荷電流は18Aである。また、従来例のコンデンサと本発明のコンデンサの仕様は表1に示す。本発明の薄膜コンデンサを搭載したLSIの方が電源電圧の変動が小さく、短い時間で変動が収束していることがわかる。

【表1】

	従来の技術	本発明
コンデンサの寸法(W×D×T)	1.0×0.5×0.5mm	1.0×0.5×0.001mm
コンデンサの材料	Pb系セラミクス	SrTiO ₃ 薄膜
単体容量	0.010μF	0.012μF
コンデンサ数	60個	60個

【0037】[第2の実施の形態]図3は本発明の第2の実施の形態の構成を説明するための集積回路部及び薄膜コンデンサを含む半導体装置の断面図である。

【0038】図3に示すように、シリコン基板1a上にトランジスタや薄膜コンデンサなどの微細デバイス2が複数作製されていて信号処理回路を形成している。その上にSiO₂を主成分とする層間絶縁膜3aが形成され、コンタクト5aによってデバイス2と第1層目配線4aが接続されている。さらに、その上に第2の層間絶縁膜3bが形成され、コンタクト5bによって第1層目配線4aと第2層目配線4bが接続されている。同様に、第3の層間絶縁膜3cを隔ててコンタクト5cにより第2層目配線4bと第3層目配線4cが接続されている。この実施の形態において、信号処理回路の最上配線層は4cである。

【0039】この上に第4の層間絶縁膜3dが形成され、第4の層間絶縁膜3d上に薄膜コンデンサ15が形成されている。そして、第3層目配線層4cの接地線4eと電源線4dの各々がコンタクト5dによって薄膜コンデンサ15の下部電極6と上部電極8にそれぞれ接続されている。薄膜コンデンサ15の誘電体7としては例えばSrTiO₃が用いられ、下部電極6および上部電極8には例えばPt膜が用いられている。以上の構成は、第1の実施の形態と同様である。

【0040】本実施の形態の場合、下部電極6とコンタクト5dが接触している領域上には上部電極8が存在していない。一般に、コンタクト5dの上面は完全に平坦である場合は少なく、ある程度の凹凸を有するため、その凹凸を反映して下部電極6の上にも凹凸が発生する。誘電体7の膜厚が0.5μm以下程度に薄い場合、その下部電極の凹凸のために誘電体7の膜厚が局所的に薄くなる箇所が発生し、リーク電流が増大したり、短い時間で絶縁破壊を起こして長期信頼性が確保できなくなったりする。ところが、本実施の形態のように、下部電極6とコンタクト5dが接触している領域上に上部電極が存在しない場合は、仮に下部電極6とコンタクト5dが接触している領域上に誘電体が薄くなる箇所が発生したとしても、その部分の誘電体はコンデンサとして機能しないので何ら影響がなく、リーク電流の増加や絶縁破壊を抑制することができる。逆に言えば、第1の実施の形態と比べて、誘電体膜厚を薄くすることができるので、蓄積容量密度をより大きくすることができ、電圧降下をさらに抑制できるという格別な効果が得られる。また図示は省略するが、本実施の形態の薄膜コンデンサにおいても、図2に示すような電源電圧の変動抑制効果を確認することができた。

【0041】[第3の実施の形態]図4、図5は本発明の第3の実施の形態の構成を説明するための半導体集積回路及び薄膜コンデンサを含む半導体装置の製造工程の断面図である。なお、第3、第4の実施の形態では、薄膜コンデンサを形成した基板やフィルムを薄膜コンデンサが下側に向くように裏返してLSI上に接合する方法を説明するので、以下の説明では、薄膜コンデンサを形成する段階では下側に位置する電極を「上部電極」、上側に位置する電極を「下部電極」と記すことにする。

【0042】図4(a)に示すように、シリコン基板1b(第1の半導体基板)表面から一定深さの領域(界面を符号Aで示す)に水素をイオン注入し、その上にPt上部電極8と高誘電率のSrTiO₃誘電体7とPt下部電極6を順次積層し、所望の形状に加工して、後にデカップリングコンデンサとなる薄膜コンデンサ16を形成する。この時、薄膜コンデンサ16の下層には集積回路部(LSI)の配線層がないために、400℃以上の高温でSrTiO₃誘電体7を成膜することができ、ほぼバルクセラミクスに近い300程度の高い誘電率を得ることができる。

【0043】次に、図4(b)に示すように、シリコン基板1a(第2の半導体基板)上に、第1、第2の実施の形態で説明したのと同様、最上配線層4c、第4の層間絶縁膜3dまで作製したLSIの電源線4dと接地線4eに接続されたコンタクト5dを形成する。そして、各コンタクト5dの上にバンプ9(接続部)をそれぞれ形成する。バンプ9の材料としては、はんだ(Pb-Sn)、鉛フリーはんだ(Ag-Sn)などが挙げられる。

【0044】次に、図5(c)に示すように、シリコン基板1bの薄膜コンデンサ形成面とシリコン基板1aの素子形成面とを対向配置し、薄膜コンデンサ16の下部電極6の露出部分とコンタクト5d、上部電極8の露出部分とコンタクト5dをそれぞれ位置合わせした後、バンプ9を介して接続する。接続の際には、フラックスを付けた後、リフロー炉で230℃、30秒程度保持してはんだを融解、接続

し、その後、フラックスを洗浄する。または、フラックスを使用しない方法もある。この工程により、薄膜コンデンサ16の下部電極6、上部電極8の各々がLSIの電源線4dと接地線4eにバンプ9を介して接続される。

【0045】最後に、図5(d)に示すように、水素をイオン注入した界面Aからシリコン基板1bを分離することによって、薄膜コンデンサ16をLSIの最上層に搭載する。シリコン基板1bの分離には、400°C程度の熱処理を加えてもよいし、ジェット水流を界面Aに当ててもよい。ただし、LSIや薄膜コンデンサに熱履歴を加えないという観点からは、ジェット水流などで物理的に分離する方法を採ることが望ましい。このような製造方法によって、デカップリングコンデンサの誘電体薄膜の成膜温度を上昇させ、蓄積容量密度を大きくすることができる。本実施の形態の薄膜コンデンサにおいても、図2に示すような電源電圧の変動抑制効果を確認することができた。

【0046】[第4の実施の形態] 図6、図7は本発明の第4の実施の形態の構成を説明するための半導体集積回路及び薄膜コンデンサを含む半導体装置の製造工程の断面図である。

【0047】図6(a)に示すように、有機フィルム10の表面にPt上部電極8と高誘電率のSrTiO₃誘電体7とPt下部電極6を順次積層し、所望の形状に加工して、後にデカップリングコンデンサとなる薄膜コンデンサ17を形成する。この時、有機フィルム10の材料には高温耐性に優れるもの、例えば高耐熱性ポリイミド等を用いることとする。これにより、300°C以上の高温でSrTiO₃誘電体を成膜して200程度の高誘電率を得ることができる。

【0048】次に、図6(b)に示すように、第3の実施の形態と同様、最上配線層c、第4の層間絶縁膜3dまで作製したLSIの電源線4dと接地線4eにコンタクト5dを形成し、その上にバンプ9を形成する。

【0049】次に、図7(c)に示すように、有機フィルム10の薄膜コンデンサ形成面とシリコン基板1aの素子形成面とを対向配置し、薄膜コンデンサ17の下部電極6の露出部分とコンタクト5d、上部電極8の露出部分とコンタクト5dをそれぞれ位置合わせした後、バンプ9を介して接続する。これにより、薄膜コンデンサ17の下部電極6、上部電極8の各々がLSIの電源線4dと接地線4eにバンプ9を介して接続される。

【0050】最後に、図7(d)に示すように、有機フィルム10を剥がすことにより、薄膜コンデンサ17をLSIの最上層に搭載する。有機フィルム10の剥離には、カッターやダイシングソーなどを用いて切断、分離すればよい。電極と有機フィルムとの間の密着力が弱ければ、そのまま引っ張って剥がしてもよい。このような製造方法の採用により、LSIとは別のプロセスによってデカップリングコンデンサを安価な有機フィルム上に大量に作製できるので、製造コストを大幅に削減することができる。なお、有機フィルム10は完全に剥がしても良いし、コンデンサの部分を切り取るなどして一部を残しても良い。本実施の形態の薄膜コンデンサにおいても、図2に示すような電源電圧の変動抑制効果を確認することができた。

【0051】また、図5(d)に示すように薄膜コンデンサ17をむき出しにするのではなく、樹脂等の封止材を用いて薄膜コンデンサ17を封止してもよい。例えば図8に示したのは、薄膜コンデンサ17全体をエポキシ系樹脂等の封止材20で封止した例である。この場合、薄膜コンデンサ17とLSIを接続した後に、エポキシ系樹脂を薄膜コンデンサ17周辺に流し込み、80~150°Cで1~3時間程度の硬化処理を施すことによって、図8の封止構造を実現することができる。

【0052】また、図9に示したのは、図7(d)に示した薄膜コンデンサ17とLSIの間の部分のみを封止材21により封止した例である。この場合、まず図10(a)に示すように、有機フィルム10において薄膜コンデンサ17の下部電極6と上部電極8各々のバンプ9と接続される部分以外の領域を、エポキシ系樹脂やフルオレン系樹脂などの感光性接着樹脂21aでパターニングして覆う。次に、図10(b)に示すように、薄膜コンデンサ17をLSI側に接続し、150°Cで1時間程度の硬化処理を施した後、有機フィルム10を剥離する(図9の例では有機フィルム10を一部残している)ことによって、図9の封止構造を実現することができる。

【0053】いずれの構造にしても、このような封止を施すことにより、薄膜コンデンサ17とLSI(半導体基板)との接着強度が増し、薄膜コンデンサの絶縁破壊などの長期信頼性が向上するという効果が得られる。

【0054】なお、上記の実施の形態の説明においては、薄膜コンデンサとして下部電極、誘電体、上部電極の1組の積層構造からなるコンデンサの例を述べたが、本発明はそれらの積層構造が複数組存在する薄膜コンデンサについても有効である。ただし、複数組の積層を行った薄膜コンデンサにおいては、自己インダクタンスが1組の積層構造の場合よりも大きくなってしまいうため、GHzオーダーの高周波の電源変動を抑制するためには、やはり1組の積層構造であることが望ましい。

【0055】また、上記実施の形態の説明においては、LSIとしてシリコン基板を用いたものの例について述べたが、本発明はGaAs基板や他の半導体基板を用いたLSIについても同様の効果が得

られる。さらに、電極材料の例としてPt膜を挙げたが、下地膜との密着性やバリア性を考慮すると、Pt/Ti膜、Pt/Mo膜等を用いることも可能である。

【0056】また、上記実施の形態の説明においては、高誘電率の誘電体膜としてSrTiO₃の例を述べたが、本発明における高誘電率の誘電体膜とはSiO₂やSi₃N₄よりも高い誘電率を有する膜のことであり、一般的に化学式ABO₃で表され、それぞれAとしてBa、Sr、Pb、Ca、La、Li、Kのうち少なくとも1種以上、BとしてZr、Ti、Ta、Nb、Mg、Mn、F、Zn、Wのうち少なくとも1種以上を含むもの、例えば、SrTiO₃、PbTiO₃、(Pb, La)(Zr, Ti)O₃、Pb(Mg, Nb)O₃、Pb(Mg, W)O₃、Pb(Zn, Nb)O₃、LiTaO₃、LiNbO₃、KTaO₃、KNbO₃など、あるいは化学式(Bi₂O₂)(A_{m-1}B_mO_{3m+1})(m=1, 2, 3, 4, 5)で表され、それぞれAとしてBa、Sr、Pb、Ca、K、Biのうち少なくとも1種以上、BとしてNb、Ta、Ti、Wの少なくとも1種以上を含むもの、例えば、Bi₄Ti₃O₁₂、SrBi₂Ta₂O₉、SrBi₂Nb₂O₉、あるいはそれ以外の化学式のTa₂O₅などを用いても同様の効果が得られる。

【0057】[第5の実施の形態]図11、図12は本発明の第5の実施の形態の構成を説明するための半導体集積回路の設計から出荷に至るフローチャートである。図12に示すように、従来は顧客の希望する動作周波数や価格はLSIの最初の設計段階から考慮され、クリーンルーム内での高価な製造プロセス装置を用いたチップの作製と、その後のパッケージングの選択を経てから正常に動作するか否かや希望価格以下で出荷できるか否かが判断されていた。もし正常に動作しなかったり、顧客の希望する動作周波数や価格が変更された場合、設計を最初からやり直したり、デカップリングコンデンサの性能やパッケージングの変更を行う必要があった。このような方法では、結果的にLSIのコストは上昇し、その結果として価格が高くなり、また、LSIの設計から出荷までの期間が長くなってしまふ。これには、LSIの動作周波数が高くなって、機器の動作保証が難しくなってきたことと、動作周波数に対するデカップリングコンデンサやパッケージングの選択が適切に行われないことが起因している。

【0058】これに対して、図11に示すように、本発明では、製造メーカーが予めデカップリングコンデンサによって高い周波数まで対応可能な汎用LSIを設計し、信号処理部の最上配線層まで作製しておく。このLSIに対して、顧客はコンピュータネットワークに接続されたユーザ端末を通して希望する動作周波数と価格を入力する。次に、LSIの製造メーカーは顧客の入力情報に基づき、デカップリングコンデンサが必要か否か、どのようなパッケージングが最適かのみを設計し、デカップリングコンデンサの製作とLSIへの搭載、及びパッケージングを行う。この段階で正常に動作するかをテストし、もし不具合があるような場合は、デカップリングコンデンサとパッケージングの設計のみをやり直す。

【0059】本発明の実施の形態のように、デカップリングコンデンサとパッケージングの設計によってLSIの動作周波数を変更する方法を用いることにより、高価なプロセスが必要なLSIの製造コストを低減すると同時に、顧客の希望の動作周波数と価格に見合ったLSIを短納期で出荷することができる。

【0060】なお、本発明の技術範囲は上記実施の形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲において種々の変更を加えることが可能である。例えば上記実施の形態で例示した半導体装置に搭載するデバイスの種類や数、配線層の数や材料、層間絶縁膜の材料、製造工程等の具体的な記載については適宜変更が可能である。

【0061】

【発明の効果】以上、詳細に説明したように、本発明によれば、電源電圧の変動を高速に抑制することができる。その理由は、誘電体膜厚が小さく、自己インダクタンスが小さいため、高周波でもコンデンサとして有効に働き、さらにLSIの最上配線層と非常に短い距離で接続されているため、寄生抵抗や寄生インダクタンスも小さいためである。また、プリント基板上での実装面積を小さくして、電子機器を小型軽量化することができる。その理由は、デカップリングコンデンサがLSI上に搭載されているため、従来のような積層セラミクスコンデンサをプリント基板上に多数配置する必要がないためである。

【0062】薄膜コンデンサの下部電極とLSIを接続するコンタクト上に上部電極を配置しない場合、凹凸に起因するリーク電流を抑制し、誘電体膜厚を薄くできるため、薄膜コンデンサの蓄積容量密度を大きくすることができる。さらに、LSIとは別の半導体基板や樹脂フィルム上に薄膜コンデンサを作製する製造方法を採用した場合、高誘電率の誘電体の成膜温度を高くして誘電率を大きくできるため、薄膜コンデンサの蓄積容量密度を大きくすることができる。また特に、安価な有機フィルム上に薄膜コンデンサを作製した場合、デカップリングコンデンサの製造コストを低減できる。

【0063】また、顧客と製造メーカーの関係において、全体的にLSIの製造コストを低減し、納期を短縮することができる。その理由は、顧客からの情報によってデカップリングコンデンサとパッケー

ジングの設計を行い、予め作製しておいたLSIに後から搭載して高周波動作を可能にできるからである。

図の説明

【図面の簡単な説明】

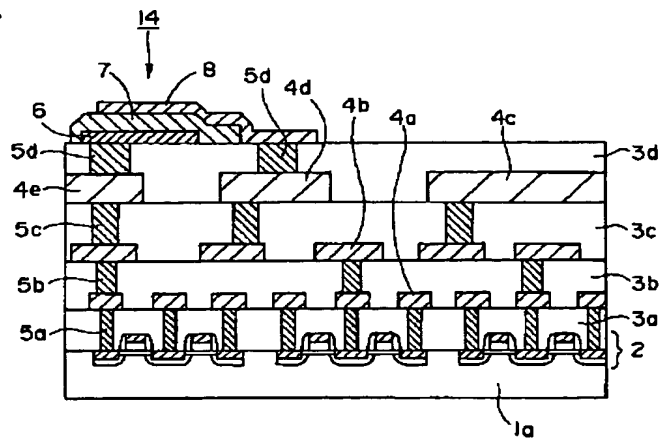
- 【図1】本発明の第1の実施の形態を説明するための半導体集積回路と薄膜コンデンサの断面図である。
- 【図2】本発明と従来の技術によるデカップリングコンデンサの電圧変動の抑制効果を比較した図である。
- 【図3】本発明の第2の実施の形態を説明するための半導体集積回路と薄膜コンデンサの断面図である。
- 【図4】本発明の第3の実施の形態を説明するための半導体集積回路と薄膜コンデンサの断面図である。
- 【図5】本発明の第3の実施の形態を説明するための半導体集積回路と薄膜コンデンサの断面図である。
- 【図6】本発明の第4の実施の形態を説明するための半導体集積回路と薄膜コンデンサの断面図である。
- 【図7】本発明の第4の実施の形態を説明するための半導体集積回路と薄膜コンデンサの断面図である。
- 【図8】薄膜コンデンサを封止した場合の一構成例である。
- 【図9】薄膜コンデンサを封止した場合の他の構成例である。
- 【図10】薄膜コンデンサを封止する方法を説明するための図である。
- 【図11】本発明の第5の実施の形態を説明するための半導体集積回路の設計から出荷に至るまでのフローチャートである。
- 【図12】従来の半導体集積回路の設計から出荷に至るまでのフローチャートである。
- 【図13】従来のデカップリングコンデンサの配置を説明するための平面図である。

【符号の説明】

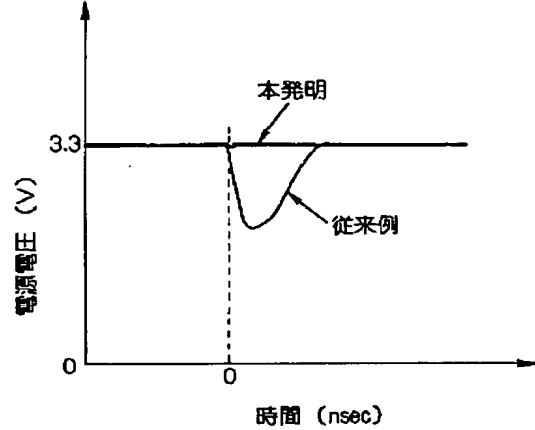
- 1a, 1b シリコン基板
2 (トランジスタやコンデンサ等の)デバイス
3a, 3b, 3c, 3d 層間絶縁膜
4a, 4b, 4c 配線層
4d 電源線
4 接地線
5a, 5b, 5c, 5d コンタクト
6 下部電極
7 誘電体
8 上部電極
9 バンプ
10 有機フィルム
11 プリント基板
12 LSIチップ
13 積層セラミクスコンデンサ
14, 15, 16, 17 薄膜コンデンサ

図面

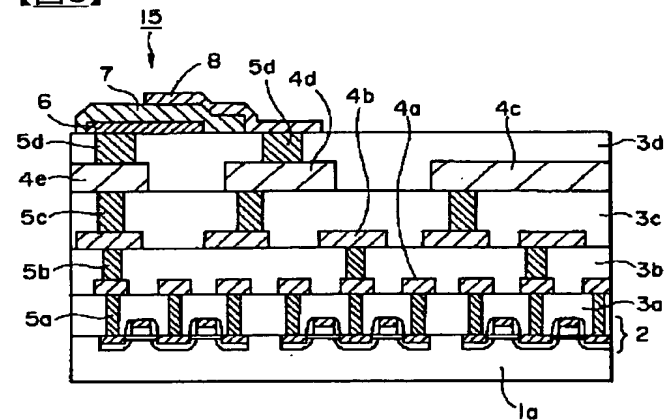
【図1】



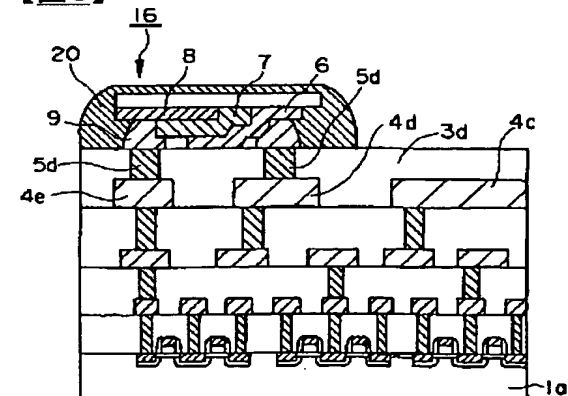
【図2】



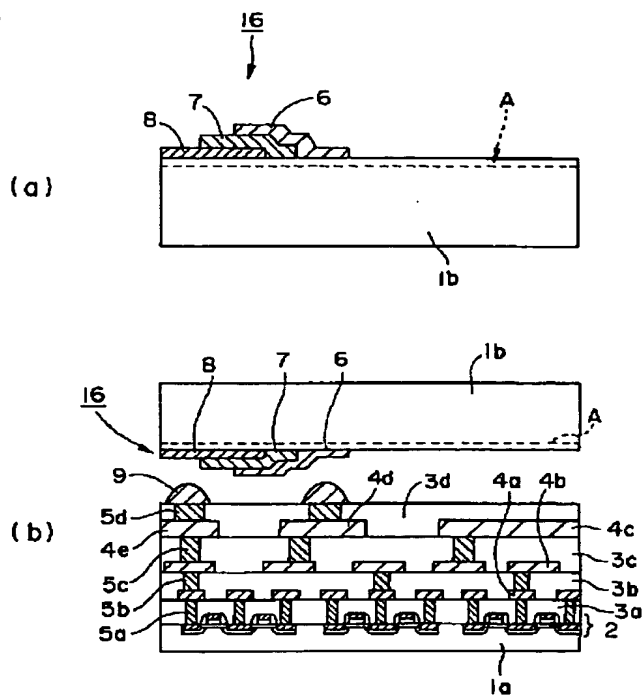
【図3】



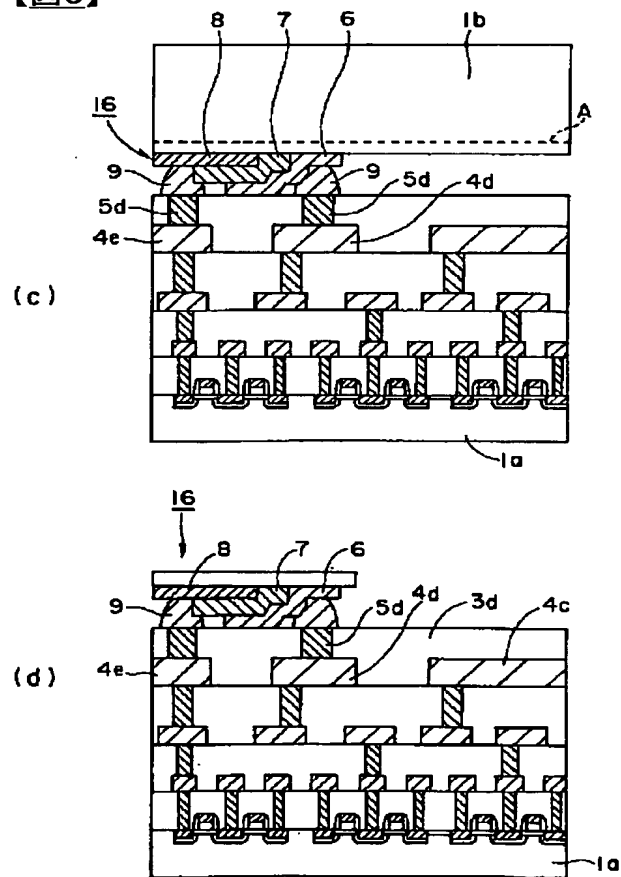
【図8】



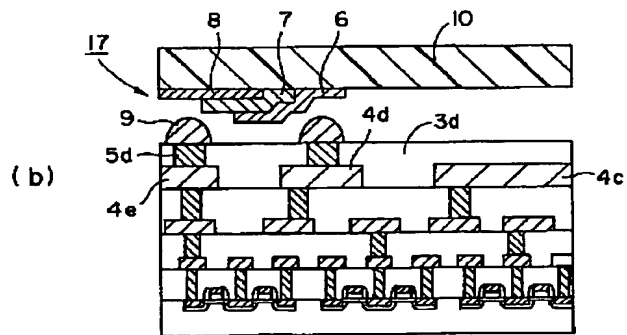
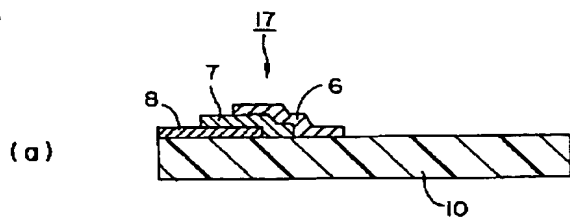
【図4】



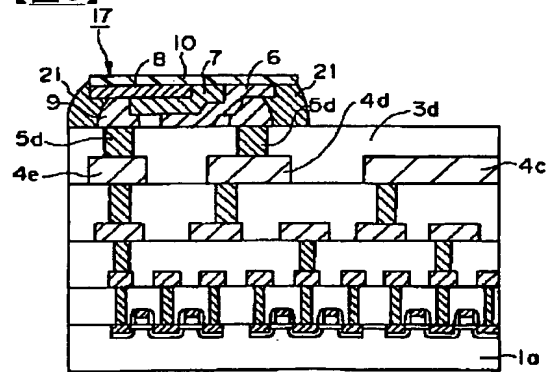
【図5】



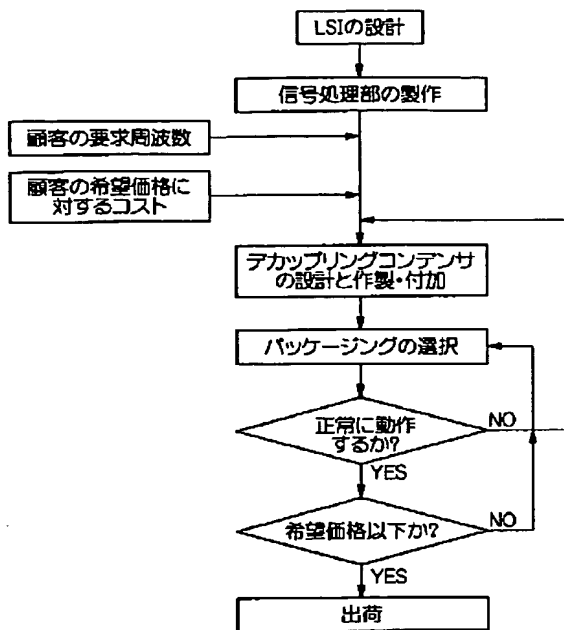
【図6】



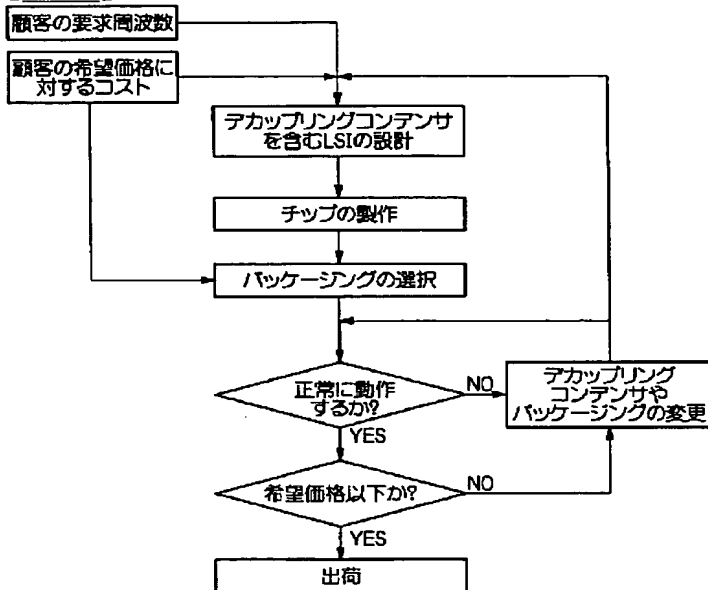
【図9】



【図7】



【図12】



【図13】

